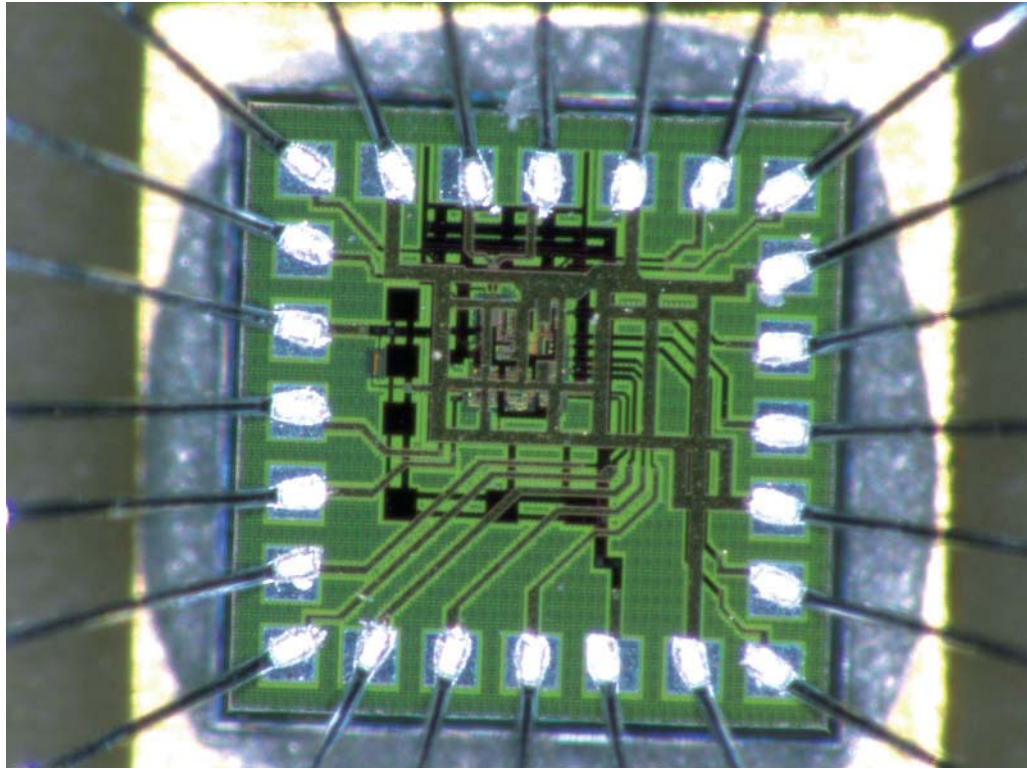


Neue Geschwindigkeitsdimensionen bei Mikrochips

In einem Forschungsprojekt arbeitet Prof. Kell an einer Verzehnfachung der Rechengeschwindigkeit

An eine rasend schnelle Entwicklung in der Computertechnologie hat man sich mittlerweile gewöhnt. Eine Verzehnfachung der Rechengeschwindigkeit durch eine neue Technologie klingt allerdings selbst in den Ohren eines Laien kaum vorstellbar. Doch Prof. Dr. Gerald Kell, Professor für Digitale Systeme am Fachbereich Informatik und Medien der FH Brandenburg arbeitet in enger Kooperation mit dem Institut für Halbleiterphysik (IHP) in Frankfurt (Oder) und weiteren Partnern an diesem Ziel. Er ist sich sicher, dass die nächste Generation von Glasfaser-Übertragungsnetzen, Handys und Blue-Tooth-Anwendungen mit der neuen Hochgeschwindigkeitstechnologie enorme Beschleunigungen möglich machen wird.

Ausgangspunkt für das Projekt von Prof. Kell waren sehr schnelle Transistoren, die das IHP für analoge Anwendungen, zum Beispiel Abstandsradarsysteme in der Automobiltechnologie, entwickelt hatte. Sie nutzen einen sehr hohen Taktfrequenzbereich, oberhalb von 20 Gigahertz (GHz, 20 Milliarden Schwingungen oder Vorgänge pro Sekunde). Prof. Kell machte sich im Jahr 2005 Gedanken darüber, wie die schnellen IHP-Transistoren für die Digitaltechnik verwendet werden könnten und entdeckte bei Simulationsrechnungen die Möglichkeit einer Geschwindigkeitserhöhung um den Faktor 20 zu den damals schnellsten handelsüblichen Mikrochips. Und das bei gleichem Aufwand in der Chip-Produktion.



Hochgeschwindigkeits-Testchip mit Bondanschlüssen.

Foto: FB Informatik und Medien

Die auf modernen Chips standardmäßig verwendete CMOS-Technologie (Complementary Metal Oxide Semiconductor / komplementärer Metall-Oxid-Halbleiter) ermöglicht zurzeit Taktraten bis etwa 4 GHz. Deshalb kam Prof. Kell die Idee, auf die ECL-Technologie (Emitter coupled logic / Emittergekoppelte Logik) zurück zu greifen, deren Entwicklung Mitte

der 60er Jahre kaum mehr fortgeführt wurde, weil alle großen Chiphersteller auf die verbrauchsgünstigere CMOS-Technologie setzten. Nur in speziellen Schaltungen, die extrem hohe Taktraten benötigen, wurde die ECL-Technik weiterhin verwendet.

Gerade dieser Anwendungssektor wächst in jüngster Zeit stark, zum Beispiel die Echtzeit-Messtechnik mit dem Bedarf nach Reaktionszeiten von unter 200 Pikosekunden (piko = billionstel, 10^{-12}), aber auch die schnelle Datenübertragung in der Kommunikationstechnik. Hinzu kommt, dass mit den Silizium-Germanium-Halbleitern (SiGe) des IHP die Energiezufuhr gegenüber der klassischen ECL-Technik fast um die Hälfte reduziert werden konnte, während die Geschwindigkeit mehr als verzehnfacht wurde.

Der besondere Clou der neuesten Generation von Mikrochips des IHP ist, dass auf ihnen CMOS- und ECL-Technik gemeinsam zum Einsatz kommen. Auf diese Weise können die Vorzüge beider Technologien genutzt werden (siehe Kasten). Überhaupt, so prognostiziert Prof. Kell, werden künftige Rechnersysteme stärker asynchron arbeiten müssen, so dass



Prof. Dr. Gerald Kell (rechts) erläutert seinem Forschungsteam aus Studierenden und wissenschaftlichen Mitarbeitern Details einer neuen Mikrochip-Architektur.

Foto: Parsch

besonders schnelle „Schiedsrichter“ über die Ressourcenverteilung wachen werden. Diese Aufgabe kann mit der ECL-Technik derzeit am besten gelöst werden.

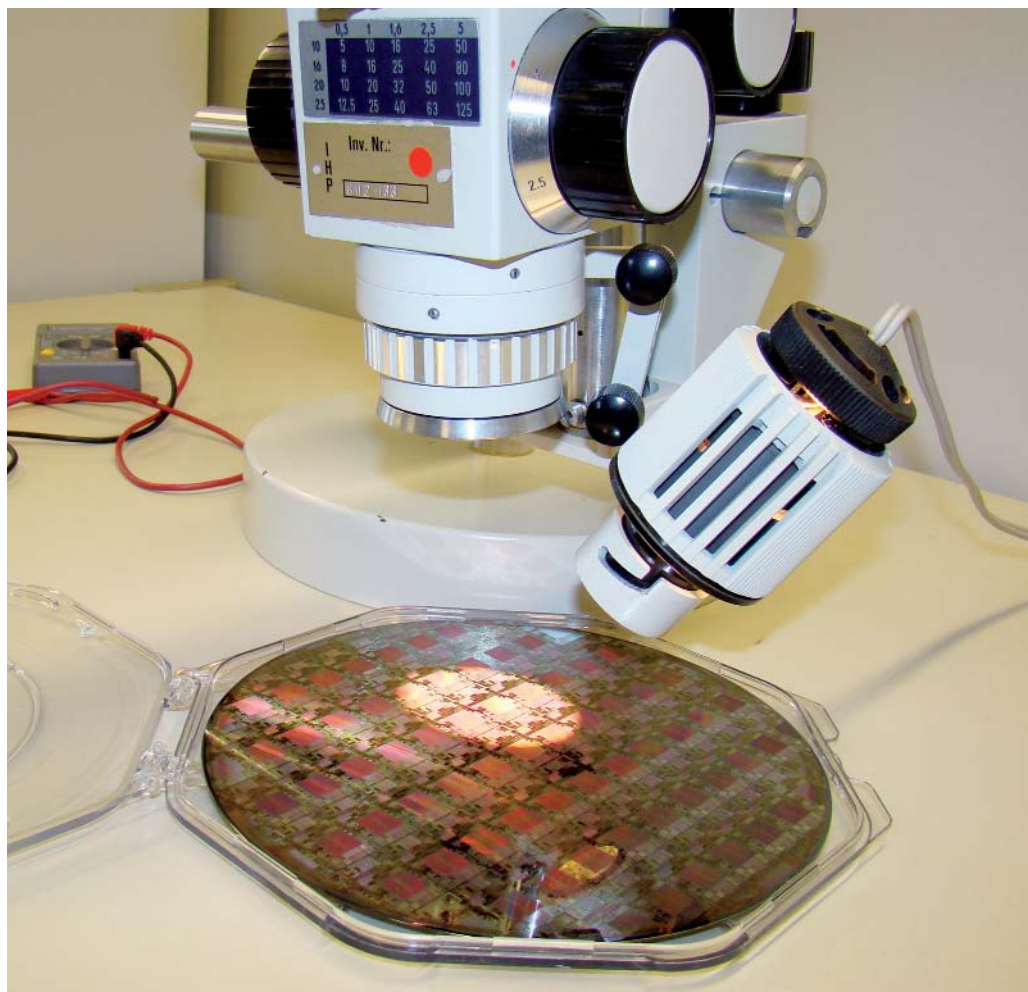
Die Konzentration der Chiphersteller auf die CMOS-Technologie hat dazu geführt, dass die Software zur Entwicklung von Chips ebenfalls nur für diese Technologie weiterentwickelt wurde. Prof. Kell hat deshalb 2005 damit begonnen, eine Funktionsbibliothek für schnelle ECL-Zellen zu erstellen, und hat diese anschließend mit Hilfe von Studierenden erweitert. In Zusammenarbeit mit dem IHP, der Humboldt-Universität zu Berlin und der Firma AdvlCo in Recklinghausen wurde diese Bibliothek für einen breiteren Kreis von Anwendern zugänglich gemacht, die nicht über ein hohes Spezialwissen verfügen müssen. Für den manuellen Chipentwurf kann sie in der Software „Cadence Virtuoso“ verwendet werden.

Auch die Kommunikation mit standardisierten Logik-Schnittstellen (z.B. LVDS) wurde inzwischen vorangetrieben. In aktuellen Projekten wird mit den genannten Partnern eine Bibliothek für die Synthese (automatisierter Entwurf) von ECL-Schaltkreisen zur Verwendung in den modernsten Chipentwicklungsssoftwares wie Synopsis und Mentor entwickelt. Erste Ergebnisse zeigen das enorme Potenzial einer solchen ECL-Synthese, die einen flexiblen und zuverlässigen Weg zur schnellen Erstellung von Hochgeschwindigkeitsschaltungen bietet.

Auch für die Informatik-Studenten ergeben sich spannende Perspektiven: Sie können sich an der Entwicklung einer Zukunftstechnologie beteiligen. Denn schnelle Algorithmen lassen sich auf der Ebene von Hardware-Beschreibungssprachen einfach in logische Strukturen übersetzen; diese wiederum lassen sich gut auf die schnellen ECL-Zellen abbilden. Durch die Mitgliedschaft der FH Brandenburg in der Vereinigung Europractice steht leistungsfähige Software für Schaltungs- und Systementwürfe zur Verfügung, zudem können innerhalb von Forschungsprojekten Chipentwürfe preiswert bei Halbleiterproduzenten umgesetzt werden, so dass Bausteine für neue Rechnerarchitekturen auch praktisch erprobt werden können.

Stefan Parsch

Prof. Dr. Gerald Kell: Telefon 03381/355-422
E-Mail kell@fh-brandenburg.de



Multiprojekt-Wafer nach der Herstellung am IHP (Innovations for High Performance) in Frankfurt/Oder.

Foto: FB Informatik und Medien

CMOS- und ECL-Technologie

Bei der CMOS-Logik werden komplementäre, also gegensätzlich funktionierende Transistoren in einem Schaltkreis zusammengeführt. Auf diese Weise sperrt immer ein Transistor, während der andere leitet. Die zwei möglichen Schaltungen entsprechen den logischen Zuständen 0 und 1. Zwar müssen in der CMOS-Technologie gegenüber anderen Technologien die doppelte Anzahl von Transistoren untergebracht werden, dafür kann auf Widerstände verzichtet werden. Und es fließt nur ein Strom im Moment des Umschaltens zwischen den Zuständen. Auf diese Weise werden Stromverbrauch und Abwärme niedrig gehalten.

Dies ist auch ein wichtiger Grund, weshalb die ECL-Technologie außerhalb von Spezialanwendungen in den letzten zehn Jahren nicht weiterverfolgt wurde. Denn bei dieser fließt ein nahezu gleichbleibender Arbeits-

strom durch die digitale Zelle, auch ohne Rechenleistung. Andererseits bleibt dieser Arbeitsstrom auch bei sehr hohen Frequenzen gleich, während die Leistungsaufnahme bei der CMOS-Technologie linear mit der Frequenz ansteigt. Die ECL-Technologie ist deshalb für hohe Frequenzen, also für sehr schnelle Rechengeschwindigkeiten besonders geeignet. Die hohen Geschwindigkeiten bei der ECL-Technologie werden dadurch erreicht, dass im normalen Betriebszustand kein Transistor in Sättigung geht, d.h. vollständig leitet. Kleine Signalamplituden beim Umschalten und ein niedriger Ausgangswiderstand sind weitere Faktoren für die Schnelligkeit. Aber erst durch das Voranbringen der SiGe-Technologie in den vergangenen fünf Jahren kommen diese Geschwindigkeitsvorteile so richtig zum Tragen, weil hierdurch Schaltzeiten bis herab zu 5 Pikosekunden möglich geworden sind.